

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057037

(43)Date of publication of application : 22.02.2002

(51)Int.Cl.

H01F 27/00
H01F 17/00
H01G 4/40
H01L 27/04
H01L 21/822

(21)Application number : 2000-241632

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 09.08.2000

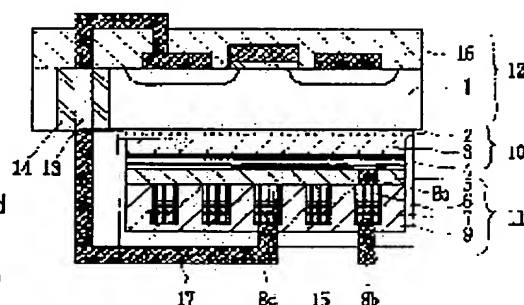
(72)Inventor : YONEZAWA YOSHIYUKI
OKAMOTO KENJI
YONEZAWA EIICHI
SUZUKI TAKESHI

(54) COMPOSITE INTEGRATED CIRCUIT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a small composite integrated circuit by integrating a thin film capacitor which is large in capacity and a thin film coil on a semiconductor substrate where an integrated circuit has been provided.

SOLUTION: A capacitor and a thin film coil are laminated on the surface of a semiconductor substrate opposite to its other surface on which an integrated circuit has been formed for the formation of a composite integrated circuit, or another semiconductor substrate on which a capacitor and a thin film coil have been formed is pasted on the semiconductor substrate for the formation of a composite integrated circuit. Furthermore, the composite integrated circuit is made a distributed constant circuit, by which a circuit of lower ESR can be realized.



- | | |
|------------------|------------|
| 1 S1基板 | 10 コンデンサ |
| 2 バッファ層 | 11 薄膜コイル |
| 3 誘電体層 | 12 MOS集積回路 |
| 4 金属電極 | 13 埋込みの絶縁層 |
| 5 絶縁層 | 14 絶縁層 |
| 6 金属電極層 | 15 モーロト絶縁 |
| 7 コイル導体 | 16 保護膜 |
| 8a, 8b, 8c コイル電板 | 17 絶縁層 |
| 9 絶縁性樹脂層 | |

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-57037

(P2002-57037A)

(43) 公開日 平成14年2月22日 (2002.2.22)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 F 27/00		H 0 1 F 17/00	A 5 E 0 7 0
	17/00	15/00	D 5 E 0 8 2
H 0 1 G 4/40		H 0 1 G 4/40	3 2 1 A 5 F 0 3 8
H 0 1 L 27/04		H 0 1 L 27/04	C
21/822			L
審査請求 未請求 請求項の数20 O L (全 7 頁)			

(21) 出願番号 特願2000-241632(P2000-241632)

(22) 出願日 平成12年8月9日 (2000.8.9)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 米澤 喜幸

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 岡本 健次

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

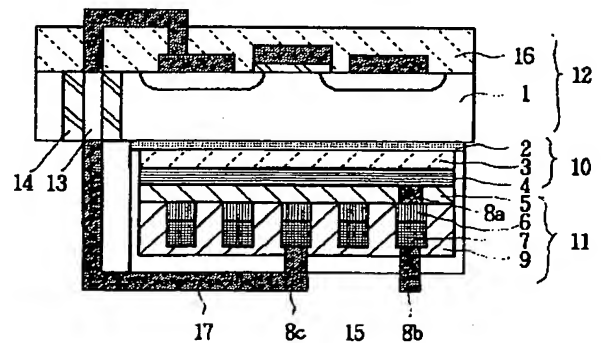
最終頁に続く

(54) 【発明の名称】 複合集積回路およびその製造方法

(57) 【要約】

【課題】 集積回路を作り込んだ半導体基板に、容量が大きい薄膜コンデンサと薄膜コイルを集積することによって、小型の複合集積回路を提供する。

【解決手段】 集積回路を形成した半導体基板の他方の側に、コンデンサと薄膜コイルとを重ねて形成し、あるいはコンデンサと薄膜コイルとを重ねて形成した別の基板を張り合わせた複合集積回路とする。さらに分布定数回路とすることによって、より低ESRの回路を構成する。



- | | |
|------------------|------------|
| 1 Si基板 | 10 コンデンサ |
| 2 バッファ層 | 11 薄膜コイル |
| 3 誘電体層 | 12 MOS集積回路 |
| 4 金属電極 | 13 埋め込み配線 |
| 5 絶縁層 | 14 絶縁層 |
| 6 磁性誘電体層 | 15 モールド樹脂 |
| 7 コイル導体 | 16 保護膜 |
| 8a, 8b, 8c コイル電極 | 17 接続配線 |
| 9 磁性誘電体層 | |

【特許請求の範囲】

【請求項 1】一方の主面側の表面層に集積回路を形成した半導体基板の他方の主面側に、誘電体薄膜と電極薄膜を備えたコンデンサと、更にコイル導体と少なくともその一方の側の磁性体層とを備える薄膜コイルとを重ねて有することを特徴とする複合集積回路。

【請求項 2】一方の主面側の表面層に集積回路を形成した半導体基板の他方の主面に、誘電体薄膜と電極薄膜を備えたコンデンサを形成し、更にコイル導体と少なくともその一方の側の磁性体層とからなる薄膜コイルを重ねて形成していることを特徴とする請求項 1 記載の複合集積回路。

【請求項 3】前記半導体基板の他方の主面に、直接誘電体層をエピタキシャル成長させたことを特徴とする請求項 2 記載の複合集積回路。

【請求項 4】前記半導体基板の他方の主面に、バッファ層を介して誘電体層をエピタキシャル成長させたことを特徴とする請求項 2 記載の複合集積回路。

【請求項 5】バッファ層が導電性であることを特徴とする請求項 4 に記載の複合集積回路。

【請求項 6】少なくとも前記半導体基板の他方の主面側の表面層が、集積回路が形成された部分の半導体基板より低比抵抗であることを特徴とする請求項 2 ないし 5 のいずれかに記載の複合集積回路。

【請求項 7】前記半導体基板の他方の主面側の表面層が、イオン注入および熱処理で形成された不純物分布を有することを特徴とする請求項 6 に記載の複合集積回路。

【請求項 8】一方の主面側の表面層に集積回路を形成した第一の半導体基板の他方の主面と、一方の主面に誘電体薄膜と電極薄膜を備えたコンデンサを形成した第二の半導体基板の他方の主面とを貼り合わせたことを特徴とする複合集積回路。

【請求項 9】第二の半導体基板の一方の主面に、直接誘電体層をエピタキシャル成長させたことを特徴とする請求項 8 記載の複合集積回路。

【請求項 10】第二の半導体基板の一方の主面に、バッファ層を介して誘電体層をエピタキシャル成長させたことを特徴とする請求項 8 記載の複合集積回路。

【請求項 11】バッファ層が導電性であることを特徴とする請求項 10 に記載の複合集積回路。

【請求項 12】少なくとも前記第二の半導体基板の一方の主面側の表面層が、集積回路が形成された部分の半導体基板より低比抵抗であることを特徴とする請求項 8 ないし 11 のいずれかに記載の複合集積回路。

【請求項 13】第二の半導体基板の一方の主面側の表面層が、イオン注入および熱処理で形成された不純物分布を有することを特徴とする請求項 12 に記載の複合集積回路。

【請求項 14】第二の半導体基板の一方の主面に誘電体

薄膜と電極薄膜を備えたコンデンサを形成し、その上にコイル導体と少なくともその一方の側の磁性体層とからなる薄膜コイルとを重ねて形成し、その第二の半導体基板の他方の主面と、第一の半導体基板の他方の主面とを貼り合わせたことを特徴とする請求項 8 ないし 13 のいずれかに記載の複合集積回路。

【請求項 15】薄膜コイルのコイル導体と誘電体層間に導電性磁性体層を介していることを特徴とする請求項 1 ないし 8、14 のいずれかに記載の複合集積回路。

【請求項 16】薄膜コイルのコイル導体が、誘電体層に直接接して成膜されていることを特徴とする請求項 1 ないし 8、14 のいずれかに記載の複合集積回路。

【請求項 17】薄膜コイルのコイル導体が、絶縁性磁性体によって覆われていることを特徴とする請求項 15 または 16 に記載の複合集積回路。

【請求項 18】薄膜コイルの一端に設けられた電極と集積回路の一電極とが、シリコン基板を貫通して設けられた埋め込み電極によって接続されていることを特徴とする請求項 17 に記載の複合集積回路。

【請求項 19】誘電体薄膜が、鉛を含まないペロブスカイト型結晶構造の酸化物であることとする請求項 1 ないし 18 のいずれかに記載の複合集積回路。

【請求項 20】一方の主面側の表面層に集積回路を形成した半導体基板の他方の主面に、誘電体薄膜、電極薄膜を重ねて形成し、更にコイル導体と少なくともその一方の側の磁性体層とからなる薄膜コイルを重ねて形成している複合集積回路の製造方法において、一方の主面側の表面層の集積回路の接合構造と半導体基板を貫通する埋め込み電極とを形成した半導体基板の、他方の主面側に誘電体薄膜、電極薄膜を形成した後、集積回路の金属配線を形成し、薄膜コイルを形成し、埋め込み電極と集積回路の金属配線、薄膜コイルの電極とを接続する接続配線を形成することを特徴とする複合集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DC-DCコンバータなどの電力変換装置に用いられるコンデンサとインダクタンスとを含む複合集積回路に関する。

【0002】

【従来の技術】集積回路の発達とともに電子回路の小型化はますます進展している。これに伴い、各種回路に必須の回路素子であるコンデンサの小型化も一段と重要になっている。現在は小型のチップコンデンサ、チップコイルを用いて、たとえば電源 IC 用 LC フィルターが形成されている。

【0003】さらに小型化を進めるためにシリコン（以下 Si と記す）基板に形成した集積回路との複合化が考えられてきている。従来用いられている薄膜コンデンサとしては、たとえば特開昭 63-49385 号公報に示

されているように、誘電体として二酸化シリコン (SiO_2) や五酸化タンタル (Ta_2O_5) などのような、比誘電率がせいぜい20以下の材料を用いることが一般的である。

【0004】最近では、コンデンサを大容量化するため、比誘電率の大きい材料として、ジルコニウムチタン酸鉛 [$\text{Pb}(\text{Zr}_{0.5}\text{Ti}_{0.5})\text{O}_3$ 、以下PZTと記す]、マグネシウムニオブ酸鉛 [$\text{Pb}(\text{Mg}_{0.5}\text{Nb}_{0.5})\text{O}_3$ 、以下PMNと記す] などの複合ペロブスカイト酸化物が検討されている。このような複合ペロブスカイト酸化物を用いて薄膜コンデンサを作成する場合、下部電極は高温に耐えられること、酸化物の結晶性を高めるため結晶性が良いこと、鉛の拡散を防止できることが要求される。現在このような下部電極材料として自己配向性が強い白金 (Pt) が用いられている。PtはSiウエハとの密着性が弱いために、通常SiウエハとPt電極との間に、バッファ層としてチタン層を介在させる方法が行われている。

【0005】さらに結晶性と耐酸化性を向上させる目的として、ルテニウム酸ストロンチウム (SrRuO_3 、以下SROと記す) 等の金属性酸化物を下部電極に用いる方法も検討されている。一方、電子情報機器、特に携帯型の各種電子情報機器の普及が著しい。それらの電子情報機器は、電池を電源とするものが多く、DC-DCコンバータなどの電力変換装置を内蔵している。通常その電力変換装置は、コイル、トランスなどの磁気誘導部品を含んでいる。各種電子情報機器の小型軽量化の要望に伴い、更にコイル、トランス等の磁気誘導部品の集積化に対する要求も強いが、これらは、集積回路と比べると体積が非常に大きいために、電子機器の小形化を図る上で最大の隘路になっている。

【0006】これら磁気誘導部品の小型化に対する今後の方向としては、チップ部品として限りなく小さくし、面実装により電源全体を小さくする方向と、Si基板上に薄膜で形成する方向の二つが考えられる。近年、磁気誘導部品の小形化の要求に応じて、半導体技術の適用により、半導体基板上に磁気誘導部品を搭載した例も報告されている。本件出願人は既に、特願平8-149626号において、そのような平面型磁気誘導部品を考案した。

【0007】図6は薄膜コイルを半導体チップに集積した複合集積回路の部分断面図である。スイッチング素子や制御回路等の集積回路12を作りこんだSi基板1の表面上に、コイル導体7を磁性体層6で挟んだ形の薄膜コイル11を薄膜技術により形成した別のSi基板18を接合したものである。コイル導体7と集積回路12の電極とは、接続導体21で接続されている。5は磁性体層6を絶縁するための絶縁層である。

【0008】

【発明が解決しようとする課題】しかしながら薄膜プロ

セスを用いたコンデンサに対して、薄膜金属電極を下部電極を使用すると、コンデンサの等価直列抵抗 (以下ESRと記す) が大きくなってしまふ問題点がある。また前述の鉛系複合ペロブスカイト酸化物は、リサイクルの観点から使用が制限されることが予想されている。

【0009】そこで、例えばチタン酸バリウムストロンチウム [$(\text{Ba}_{0.5}\text{Sr}_{0.5})\text{TiO}_3$ 、以下BSTと記す] などの鉛フリーの材料を用いて、比誘電率を高めようとすると、非常に結晶性の良い膜を形成せねばならない。結晶性の良い誘電体薄膜を用いたコンデンサを作成するためには、結晶性の良い基板或いはバッファ層、及び800℃程度の高基板温度が必要である。しかし、Si基板上の集積回路との複合集積回路を形成しようとした場合に、現在集積回路上で使用されているアルミニウム合金配線はこの温度に耐えることができない。

【0010】更に、半導体集積回路基板上に薄膜コイルを集積しようとした場合に、Si基板の利用効率が低下してしまうという問題もある。このような様々な問題に鑑み本発明の目的は、集積回路に小型で、容量が大きい誘電体薄膜コンデンサを集積するとともに、更に薄膜コイルをも集積することによって、小型の複合集積回路を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するために本発明の複合集積回路は、一方の主面側の表面層に集積回路を形成した半導体基板の他方の主面側に、誘電体薄膜、電極薄膜を重ねたコンデンサと、更にコイル状の導体と少なくともその一方の側の磁性薄膜とからなる薄膜コイルとを重ねて有するものとする。例えば一方の主面側の表面層に集積回路を形成した半導体基板の他方の主面に、誘電体薄膜、電極薄膜を重ねて形成し、更にコイル状の導体と少なくともその一方の側の磁性薄膜とからなる薄膜コイルを重ねて形成するものとする。

【0012】そのようにすれば、Si基板の利用効率を高められると同時にコンデンサのESRを低減できる。半導体基板の他方の主面に、直接誘電体層をエピタキシャル成長させても良いし、バッファ層を介して誘電体層をエピタキシャル成長させても良い。バッファ層を介して誘電体層をエピタキシャル成長させれば、一層結晶性の良質な誘電体層をエピタキシャル成長させることができる。

【0013】特にバッファ層が導電性であれば、Si基板をコンデンサの一方の電極として利用できる。少なくとも前記半導体基板の他方の主面側の表面層が、半導体基板の集積回路が形成された部分より低比抵抗であるものとする。他方の主面側の表面層を低比抵抗とすることにより、Si基板をコンデンサの一方の電極として利用でき、更にコンデンサのESRを一層下げることができる。

【0014】不純物のイオン注入および熱処理により他

方の主面側の表面層を低比抵抗にすることができる。一方の主面側の表面層に集積回路を形成した第一の半導体基板の他方の主面と、一方の主面に誘電体薄膜、電極薄膜を重ねて形成し、更にコイル導体と少なくともその一方の側の磁性体層とからなる薄膜コイルとを重ねて形成した第二の半導体基板の他方の主面とを貼り合わせることもできる。またこの貼り合わせる方法は、コイルを形成しないコンデンサだけの基板にも適用できる。

【0015】薄膜コイルのコイル導体と強誘電体層間に、導電性磁性体層を介していてもよいし、薄膜コイルのコイル導体が、誘電体層に直接接して成膜されていてもよい。薄膜コイルのコイル導体と誘電体層との間に導電性高磁化率の磁性層を介しているものでは、それにより磁束集中がなされる。一方、コイル導体が、強誘電体層に直接接して成膜される場合には、金属電極層や絶縁層が省けるだけでなく、分布定数回路型として、ESRを下げることができる。

【0016】薄膜コイルのコイル導体間に、絶縁性磁性体が満たされているものとすれば、磁化率を大きくすることができる。薄膜コイルのコイル導体の一端に設けられた電極と集積回路の一電極とが、シリコン基板を貫通して設けられた埋め込み電極によって接続されているものとすれば、実装の小型化を図ることができる。

【0017】上記のような複合集積回路の製造方法としては、一方の主面側の表面層の集積回路の接合構造と半導体基板を貫通する埋め込み電極とを形成した半導体基板の、他方の主面側に誘電体薄膜、電極薄膜を形成した後、集積回路の金属配線を形成し、薄膜コイルを形成した後、埋め込み電極と集積回路の金属配線、薄膜コイルの電極とを接続するのがよい。

【0018】エピタキシャル成長法により比誘電率の大きい良質な誘電体薄膜を得るには、製膜温度として800℃以上の高温が必要である。一方、集積回路の代表的な金属配線はアルミニウム合金であり、その融点は700℃以下である。従って、集積回路の接合構造を形成した後に、エピタキシャル成長法により良質な誘電体薄膜を形成し、その後集積回路の金属配線を形成するのが望ましい。

【0019】

【発明の実施の形態】以下実施例に基づき、図面を参照しながら本発明の実施の形態を説明する。

【実施例1】図1は、本発明に係る実施例1の複合集積回路の断面図である。Si基板1の一方の側に、MOS集積回路12が形成されている（図では単一のMOSFETで示す）。通常MOS集積回路用のSi基板1としては、低比抵抗のサブストレート上に高比抵抗層を成長したエピタキシャルウェハが用いられる。Si基板1の低比抵抗の裏面に、例えば厚さ100nmの窒化ガリウム(GaN)のバッファ層2を介して強誘電体層3がエ

ピタキシャル成長法で形成されており、その上に金属電極層4が設けられて薄膜コンデンサ10が構成されている。強誘電体層3は例えば厚さ200nmの $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ (BST)であり、金属電極層4は例えば厚さ200nmの白金(Pt)である。更にその上に、絶縁層5を介して金属磁性体層6、コイル導体7、絶縁性磁性体層9からなる薄膜コイル11が形成されている。絶縁層5、金属磁性体層6、コイル導体7、絶縁性磁性体層9はそれぞれ例えば、厚さ5 μm のポリイミド膜、厚さ200nmのコバルトタンタルハフニウムパラジウム(CoTaHfPd)、厚さ30 μm の銅(Cu)、厚さ40 μm のパーマロイ粉末を含む磁性体ゲルである。8b、8cは、コイル導体7の取り出し電極であり、その一方は、Si基板1を貫通する埋め込み配線13により、MOS集積回路12の電極の一つと接続されている。14は埋め込み電極10を絶縁する絶縁層である。15はエポキシ樹脂のモールド樹脂である。MOS集積回路12、コンデンサ10、薄膜コイル11を合わせた複合集積回路の厚さは、350 μm 程度である。

【0020】以下に図1の複合集積回路の製造方法を述べる。Si基板1の表面層に、酸化膜形成、フォトリソグラフィによるパターニング、イオン注入による不純物のドーピング、熱処理等をおこないMOS集積回路12の接合構造を形成する。更に、Si基板1に貫通穴を設け、その内に絶縁層14を介して多結晶Si層の埋め込み配線13を埋め、またMOS集積回路12の表面に多結晶Si層を形成して保護する。

【0021】次に、バッファー-弗酸溶液(BHF)洗浄工程を経て、Si基板1の裏面を水素終端された清浄表面とし、速やかにSi基板1を成膜装置中に搬入する。基板温度を800℃以上に加熱し、真空度として 10^{-6} Paより高真空にすると、表面の水素と薄く形成された自然酸化(SiO_2)膜はSi基板1から解離し、さらにSi基板1表面の再構築が起こり、 2×1 等の構造が形成される。

【0022】更に、電子ビーム蒸着等によって表面にSi原子を供給することによって、さらにSi基板1の最表面の平坦性を改善することができる。清浄な平坦表面を得た後に、バッファー層2を形成する。このバッファー層2は、強誘電体層3をSi基板1上にエピタキシャル成長させるために、Si基板1との格子マッチングが良いこと、酸素バリア層となること、導電性であること等が必要である。ここではGaNを用い、パルスレーザー照射デポジション(PLD)法で成膜した。バッファー層2には他に酸化セリウム(CeO_2)、窒化チタン(TiN)、イットリウム飽和ジルコニア(YSZ)等が用いられ、分子線エピタキシー(MBE)法、スパッタ法等で成膜することができる。

【0023】このバッファー層は、Si基板1上に直接強誘電体層3を形成する場合には必ずしも必要ではな

い。その場合、Si 清浄表面の活性を抑えるため、ストロンチウム (Sr)、砒素 (As) 等で終端する処理が必要となる。強誘電体層 3 として BST を PLD 法で成膜した。MBE 法、スパッタ法等で成膜することもできる。格子整合によって、強誘電体層 3 はエピタキシャルに成長し、BST の場合、比誘電率が 400 以上の薄膜を得ることができる。

【0024】強誘電体層 3 の形成後、金属電極層 4 を形成する。強誘電体層 3 と金属電極層 4 は密着性の高いことが望まれ、ここでは Pt 膜をスパッタ法にて成膜した。その後 Si 基板 1 は成膜室から搬送され、Si 基板 1 の表面側の MOS 集積回路 12 の Al 配線等を施す。また上部電極層の抵抗をさらに下げるために裏面にも Al 蒸着することもある、あるいは Cu 等のめっきを施しても良い。

【0025】しかる後、以下に示すように薄膜コイル 11 を金属電極層 4 上に形成する。まず金属電極層 4 上にポリイミドを塗布し、絶縁層 5 を形成、パターニングした後、Al 蒸着、あるいは Cu 等のめっきによりコイル電極 8a を形成する。次に CoTaHfPd の金属磁性体層 6 を、スパッタで成膜し、パターニングする。次いで感光性ポリイミドを例えば 30 μm の厚さに塗って、ここにコイル形状の凹部を形成する。このポリイミド層を型として、電界メッキ法にて Cu をメッキしコイル導体 7 を形成する。

【0026】プラズマエッチング等でポリイミド層を除去した後、コイル導体 7 間及びその上部をパーマロイ等を含む絶縁性磁性体ゲルで満たし硬化させて、絶縁性磁性体層 9 とする。更にエポキシ樹脂のモールド樹脂 15 でモールドした後、電極形成用の窓を開け、コイル電極 8b、8c を設ける。

【0027】最後に埋め込み配線 13 とコイル中心のコイル電極 8c、MOS 集積回路 12 の一電極とを結線し、複合集積回路の製造工程が終了する。この様な構造とすることによって半導体基板表面の利用効率が 3 倍に高められる。集積回路を形成した半導体基板の裏面側にコンデンサを設けた例は特開昭 56-56664 号公報に記載されている。しかしその例では、半導体基板とは絶縁膜で隔てられており、本発明のように基板を電極として利用していない。

【0028】実施例 1 の複合集積回路の性能に関していえば、コンデンサ部では強誘電体層 3 がエピタキシャルに成長しているために高い誘電率が得られ、一辺 5mm の素子とした場合に 1 μF 以上の容量が得られる。しかも低抵抗の Si 基板 1 を直接下部電極として用いているために、等価直列抵抗 (ESR) は約 150m Ω と従来の約半分の低い値が得られる。薄膜コイル 11 については、磁性体ゲルを用いて絶縁性磁性体層 9 とすることによって、製造工程が簡単となり、さらにインダクタンス 1H 以上のものを得ることができる。

【0029】磁性体ゲルを用いずに、従来の薄膜コイルと同様にコイル上に強磁性体薄膜を成膜した後に、磁界中熱処理を行い、磁化率を上げる方法で構造を構成しても良い。

【実施例 2】図 2 は、実施例 2 に係る複合集積回路の断面図である。

【0030】実施例 1 との相違点は、Si 基板 1 の裏面に高濃度ドーブ層 18 が形成されている点である。Si 基板 1 の裏面に不純物のイオン注入および熱処理により、低抵抗率の高濃度ドーブ層 18 を形成し、これを強誘電体層 3 の下部電極として用いている。他の部分の製造法は実施例 1 と同様である。

【0031】高濃度ドーブ層 18 を設けることにより、Si 基板 1 の電位をより確実にアースすることができ、また、筐体側アースと結線することによって、信号ラインにノイズが乗るのを防ぐことができる。若しくは表面の MOS 集積回路 12 や、埋め込み電極 10 と結ぶこともできる。

【実施例 3】図 3 は実施例 3 に係る複合集積回路の断面図である。

【0032】この例は、MOS 集積回路 12 と、コンデンサ 10、薄膜コイル 11 とがそれぞれ独立に別の Si 基板 1、18 に形成され、後にそれらがエポキシ樹脂 15 で貼り合わされたものである。その他の各部の製造方法は実施例 1 に準ずる。多結晶 Si 等の埋め込み配線 13 が MOS 集積回路 12 の電極と薄膜コイル 11 の電極を結んでいることは先の二例と同じである。両基板は化学機械的研磨 (CMP) 法を用いて薄くしても良い。また、コンデンサ側基板には、低抵抗 Si を用いているが、Si 基板に限られるものではない。

【0033】MOS 集積回路 12 と、コンデンサ 10、薄膜コイル 11 とがそれぞれ独立に別の Si 基板 1、19 に形成されるので、製膜温度等のプロセス条件を、互いに気にすること無く、それぞれ最適に選べるという利点がある。更に、工程を平行して進められるので、製造に要する期間を短縮できる利点がある。実施例 3 の性能は、コンデンサ部では強誘電体層がエピタキシャルに成長しているために高い誘電率が得られ、一辺 5mm の素子とした場合に 1 μF 以上の誘電率が得られる。しかも MOS プロセスを気にすることなく、低抵抗の基板を直接下部電極として用いているために、等価直列抵抗 (ESR) は約 120m Ω と一層低い値が得られる。

【0034】コイル側については、磁性体ゲルを用いていることによって、製造工程が簡単となり、さらにインダクタンス 1H 以上のものを得ることができる。この性能は例えば、入力電圧 5V、出力電圧 3V 程度の DC-DC コンバーターの出力フィルタとして十分なものとなる。さらにコンデンサ、薄膜コイル MOS を合わせた複合回路の厚さは、実施例 3 においても CMP 等を用いれば、実施例 1、2 の場合と同等の 300 μm 程度の厚

さを達成でき、電源回路の大幅な小型化を図ることができる。

【0035】〔実施例4〕図4は、実施例4に係る複合集積回路の断面図である。これまでの実施例と異なる点は、金属電極層4と絶縁層5とを廃し、強誘電体層3上に直接金属磁性体層6を形成し、その直上にコイル導体7を形成している点である。

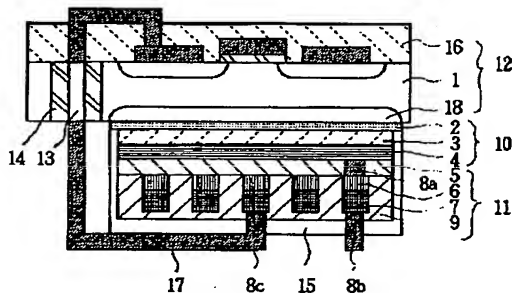
【0036】図1～3のLCフィルター回路の等価回路は、図5（a）に示すような集中定数型の回路となる。これに対して本実施例4の等価回路は、図5（b）のよう

【0037】

【発明の効果】以上説明したように本発明によれば、集積回路を形成した半導体基板の他方の側に、コンデンサと薄膜コイルとを重ねて形成し、あるいはコンデンサと薄膜コイルとを重ねて形成した別の基板を張り合わせた複合集積回路とすることによって、半導体基板の利用効

【0038】さらに分布定数回路とすることによって、より低ESRの回路を構成することが可能となった。また高基板温度で誘電体層を形成した後集積回路の金属配線を形成することによって集積回路プロセスと融合しつつ大容量のコンデンサを実現した。これらにより、例えばDC-DCコンバータに必要な機能を1チップで構成することができ、それを備えた携帯機器等の大幅な小型化を図ることができる。

【図2】



【図面の簡単な説明】

【図1】本発明実施例1の複合集積回路の断面図

【図2】本発明実施例2の複合集積回路の断面図

【図3】本発明実施例3の複合集積回路の断面図

【図4】本発明実施例4の複合集積回路の断面図

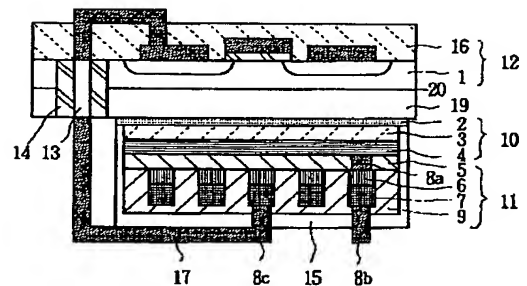
【図5】（a）は実施例1、2、3の複合集積回路の等価回路、（b）は実施例4の複合集積回路の等価回路

【図6】従来の複合集積回路の断面図

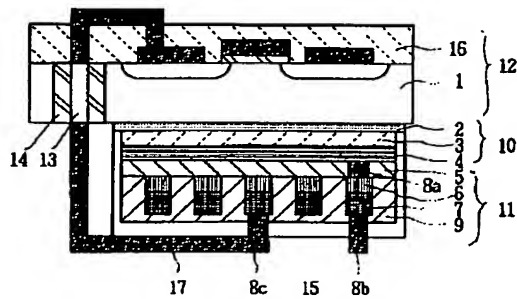
【符号の説明】

- | | | |
|----|----------|---------|
| 10 | 1 | Si基板 |
| | 2 | バッファ層 |
| | 3 | 強誘電体層 |
| | 4 | 金属電極層 |
| | 5 | 絶縁層 |
| | 6 | 金属磁性体層 |
| | 7 | コイル導体 |
| | 8a、8b、8c | コイル電極 |
| | 9 | 絶縁性磁性体層 |
| 20 | 10 | コンデンサ |
| | 11 | 薄膜コイル |
| | 12 | MOS集積回路 |
| | 13 | 埋め込み配線 |
| | 14 | 絶縁層 |
| | 15 | モールド樹脂 |
| | 16 | 保護膜 |
| | 17 | 接続配線 |
| | 18 | 高濃度ドーパ層 |
| | 19 | Si基板 |
| | 20 | 接合部 |

【図3】

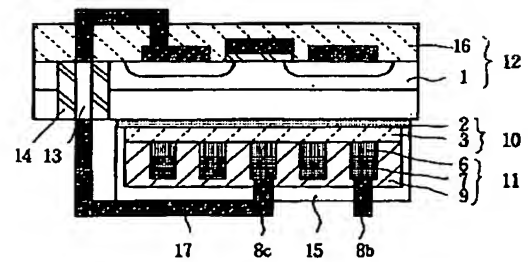


【図1】

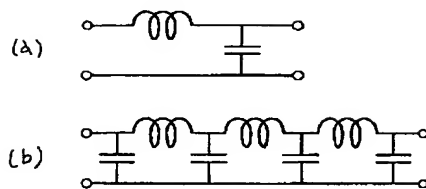


- | | |
|------------------|------------|
| 1 Si基板 | 10 コンデンサ |
| 2 バッファ層 | 11 薄膜コイル |
| 3 誘電体層 | 12 MOS集積回路 |
| 4 金属電極 | 13 埋込み配線 |
| 5 絶縁層 | 14 絶縁層 |
| 6 金属磁性体層 | 15 モールド樹脂 |
| 7 コイル導体 | 16 保護膜 |
| 8a, 8b, 8c コイル電極 | 17 接続配線 |
| 9 絶縁磁性体層 | |

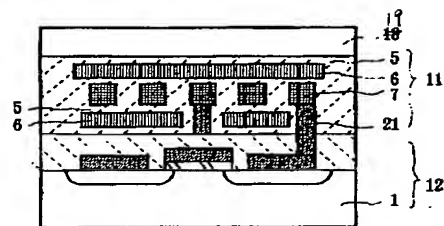
【図4】



【図5】



【図6】



フロントページの続き

(72) 発明者 米澤 栄一
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(72) 発明者 鈴木 健
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

Fターム(参考) 5E070 AA05 AB01 AB10 BA12 BB03
CB12 EA01
5E082 AA01 AB03 BB03 BC40 DD11
5F038 AC05 AC07 AC14 AC15 AC18
AZ04 BH10 BH19 EZ14 EZ20